

503P/1149

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 4 日
Date of Application:

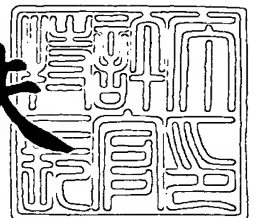
出 願 番 号 特 願 2 0 0 2 - 2 9 1 9 6 2
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 9 1 9 6 2]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 8 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 8 8 5 3

【書類名】 特許願

【整理番号】 0290628304

【提出日】 平成14年10月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 05/335

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 馬淵 圭司

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100089875

 【弁理士】

 【氏名又は名称】 野田 茂

 【電話番号】 03-3266-1667

【手数料の表示】

 【予納台帳番号】 042712

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0010713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子及びその駆動方法

【特許請求の範囲】

【請求項 1】 半導体基板に形成されたウェル領域に、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷を所定の読み出しタイミングで読み出す読み出し部とを設け、

前記読み出し部による信号電荷の読み出し時に、前記ウェル領域に所定の基板バイアス電圧を印加する電圧制御手段を有する、

ことを特徴とする固体撮像素子。

【請求項 2】 前記光電変換素子は、半導体基板に 2 次元配列で形成された複数の画素の各画素毎に設けられていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】 前記ウェル領域は、前記 2 次元配列の複数の画素の全ての画素を含む領域に電氣的に一体に形成され、全画素で共通の基板バイアス電圧が印加されることを特徴とする請求項 2 記載の固体撮像素子。

【請求項 4】 前記ウェル領域は、前記 2 次元配列の複数の画素の各行毎に電氣的に分離されて形成され、各行毎に独立した基板バイアス電圧が印加されることを特徴とする請求項 2 記載の固体撮像素子。

【請求項 5】 前記ウェル領域は、p 型ウェル領域であり、前記基板バイアス電圧が負電圧であることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 6】 前記画素毎に前記光電変換素子から読み出された信号電荷を電気信号に変換して信号線に出力する画素トランジスタを設けた CMOS 型固体撮像素子であることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 7】 複数の画素の光電変換素子で生成した信号電荷を取り込んで順次転送する電荷転送部と、前記電荷転送部によって順次転送されてきた信号電荷を電気信号に変換する共通の変換部とを有する CCD 型固体撮像素子であることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 8】 半導体基板に形成されたウェル領域に、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷

を所定の読み出しタイミングで読み出す読み出し部とを設け、

前記光電変換素子による信号電荷の蓄積期間中に、前記ウェル領域に印加した基板バイアス電圧を変化させる電圧制御手段を有する、

ことを特徴とする固体撮像素子。

【請求項 9】 前記光電変換素子は、半導体基板に 2 次元配列で形成された複数の画素の各画素毎に設けられていることを特徴とする請求項 8 記載の固体撮像素子。

【請求項 10】 前記ウェル領域は、前記 2 次元配列の複数の画素の全ての画素を含む領域に電氣的に一体に形成され、全画素で共通の基板バイアス電圧が印加されることを特徴とする請求項 9 記載の固体撮像素子。

【請求項 11】 前記ウェル領域は、前記 2 次元配列の複数の画素の各行毎に電氣的に分離されて形成され、各行毎に独立した基板バイアス電圧が印加されることを特徴とする請求項 9 記載の固体撮像素子。

【請求項 12】 前記ウェル領域は、p 型ウェル領域であり、前記基板バイアス電圧が負電圧であることを特徴とする請求項 8 記載の固体撮像素子。

【請求項 13】 前記画素毎に前記光電変換素子から読み出された信号電荷を電気信号に変換して信号線に出力する画素トランジスタを設けた CMOS 型固体撮像素子であることを特徴とする請求項 8 記載の固体撮像素子。

【請求項 14】 複数の画素の光電変換素子で生成した信号電荷を取り込んで順次転送する電荷転送部と、前記電荷転送部によって順次転送されてきた信号電荷を電気信号に変換する共通の変換部とを有する CCD 型固体撮像素子であることを特徴とする請求項 8 記載の固体撮像素子。

【請求項 15】 半導体基板に形成されたウェル領域に、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷を所定の読み出しタイミングで読み出す読み出し部とを設けた固体撮像素子の駆動方法であって、

前記読み出し部による信号電荷の読み出し時に、前記ウェル領域に所定の基板バイアス電圧を印加する、

ことを特徴とする固体撮像素子の駆動方法。

【請求項 1 6】 前記光電変換素子は、半導体基板に 2 次元配列で形成された複数の画素の各画素毎に設けられていることを特徴とする請求項 1 5 記載の固体撮像素子の駆動方法。

【請求項 1 7】 前記ウェル領域は、前記 2 次元配列の複数の画素の全ての画素を含む領域に電氣的に一体に形成され、全画素で共通の基板バイアス電圧を印加することを特徴とする請求項 1 5 記載の固体撮像素子の駆動方法。

【請求項 1 8】 前記ウェル領域は、前記 2 次元配列の複数の画素の各行毎に電氣的に分離されて形成され、各行毎に独立した基板バイアス電圧を印加することを特徴とする請求項 1 5 記載の固体撮像素子の駆動方法。

【請求項 1 9】 前記ウェル領域は、p 型ウェル領域であり、前記基板バイアス電圧が負電圧であることを特徴とする請求項 1 5 記載の固体撮像素子の駆動方法。

【請求項 2 0】 半導体基板に形成されたウェル領域に、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷を所定の読み出しタイミングで読み出す読み出し部とを設けた固体撮像素子の駆動方法であって、

前記光電変換素子による信号電荷の蓄積期間中に、前記ウェル領域に印加した基板バイアス電圧を変化させる、

ことを特徴とする固体撮像素子の駆動方法。

【請求項 2 1】 前記光電変換素子は、半導体基板に 2 次元配列で形成された複数の画素の各画素毎に設けられていることを特徴とする請求項 2 0 記載の固体撮像素子の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば CMOS 型イメージセンサや CCD 型イメージセンサ等の固体撮像素子及びその駆動方法に関し、特に光電変換素子によって生成した信号電荷を読み出す際の低電圧化やダイナミックレンジの拡大を図ることが可能な構成に関するものである。

【0002】**【従来の技術】**

図10及び図11は、従来のCMOS型イメージセンサにおける画素構造の一例を示す図であり、図10は画素回路の構成例を示す回路図、図11は素子の構造を示す断面図である。

まず、図10により画素回路の構成について説明する。

図示の構成は、各画素にフォトダイオード(PD)10と転送、増幅、選択、リセットの4つの画素トランジスタ(Tr)11、12、13、14を設けたものである。

PD10は、光電変換によって生成された電子を蓄積する。転送Tr11は、PD10の電子をフローティングディフュージョン(FD)15に転送する。

増幅Tr12は、ゲートがFD15とつながっており、FD15の電位変動を電気信号に変換する。選択Tr13は信号を読み出す画素を行単位で選択するものであり、この選択Tr13がONしたときには、増幅Tr12と画素の外で垂直信号線16につながっている定電流源17とがソースフォロアを組むので、FD15の電圧に連動する電圧が垂直信号線に出力される。

リセットTr14は、FD15の電位をVddにリセットする。

【0003】

また、図11はPD10から転送Tr11のゲート部を経てFD15に到る領域の断面構造を示している。

図示のように、シリコン基板20に形成されたPウェル領域20A内に、PD10、転送Tr11のゲート部11A、及びFD15が設けられ、シリコン基板20上にはゲート酸化膜(ゲート絶縁膜)21が形成され、ゲート酸化膜21の一部にはLOCOSによる素子分離部22が形成されている。

また、ゲート酸化膜21の上には、転送Tr11の転送ゲート電極11Bが形成されている。

【0004】

ここで、PD10としては、埋込み型のPDが公知である。埋込み型のPDとは、例えばPウェル領域中に形成されるフォトダイオードの場合に、ゲート酸化

膜 21 の界面近傍を p + 層（電荷分離領域）10A とし、その下に光電子を蓄積する n 層（電荷蓄積領域）10B を形成し、基板 20 の深部に電荷を蓄積する構造のものである。

このような埋込み型の PD では、n 層 10B の界面が p + 層 10A でカバーされているので、n 層 10B の界面で発生する暗電流を防止できる。

また、転送 Tr11 と PD10 の設計を適切に行えば、PD10 の光電子を全て FD15 に転送できるので、上述のような埋込み型の PD10 は、CCD 型センサで広く使われている構造であり、例えば、いわゆるHAD（Hole Accumulation Diode）構造と呼称されるものが提供されている。

【0005】

また、トランジスタは通常のCMOSプロセスで作成されるので、転送ゲート電極 11B にはスペーサとしての側壁 11C がシリコン酸化膜等によって形成されている。

PD10 の n 層 10B は、転送ゲート電極 11B の形成後、側壁 11C の形成前に、転送ゲート電極 11B を用いた自己整合によってイオン注入され、形成される。

また、PD10 の p + 層 10A は、その後、側壁 11C を形成してから、側壁 11C を用いたセルフアラインでイオン注入され、形成される。

このようにする理由は、p + 層 10A とゲート電極 11B との距離を微小距離だけ確実に離して、PD10 の光電子を転送し易くすることである。

一方、FD15 側は通常のトランジスタと同じようにLDD構造をとっている。LDD構造とは、転送ゲート部 11A の側壁 11C の真下には不純物濃度の薄い n 層（LDD層）を形成し、転送ゲート部 11A から側壁 11C の分だけ離して不純物濃度の濃い n + 層（NSD層）を形成する構造である。

【0006】

また、本件発明者等は、上述のような構造の固体撮像素子において、転送ゲート電極 11B に -1V 等の負電圧（ここでは転送バイアス電圧という）を加えることで、転送ゲート部 11A の下の界面からの暗電流（光が入射しなくても PD に流れ込む電子を成分とする電流）を抑制することを提案している。

これは、転送ゲート電極 11B を負電圧にバイアスすることにより、転送ゲート部 11A の下の酸化膜 21 の界面に p 型のチャネル 11D が形成され、埋め込み PD 10 と同様に界面準位からの暗電流を防止するからである。

【0007】

また、この種の固体撮像素子において、ダイナミックレンジを拡大する手法として、転送ゲートまたはリセットゲートの電圧を蓄積時間中に変化させる方法が知られている（例えば、特許文献 1 参照）。

【0008】

【特許文献 1】

特開平 10-248035 号公報

【0009】

【発明が解決しようとする課題】

ところで、上述のような図 10 及び図 11 に示す画素構成において、PD 10 の光電子を転送するのに必要なゲート電圧が一定以上下げられず、CMOS センサの低電圧化が難しいという問題がある。

すなわち、PD 10 は要求される数の電子を貯められるように、完全空乏化電圧を例えば 1.5 V 以上要求される。そして、この PD の電子を全て読み出すには、転送ゲートを ON したときに、1.5 V 以上のポテンシャルを有するチャネルを、PD の n 層にスムーズにつながるように酸化膜 21 の界面よりも深いところに作らなければならない。

【0010】

これらのことから、完全転送のためには、例えばゲート電圧は 2.7 V 以下にできないという問題があった。これは、同じゲート電圧では深い電圧まで PD の光電子を転送することが難しく、飽和電子数が少ない、つまりダイナミックレンジが取れないという問題と表裏一体である。特に CMOS センサでは、2.5 V あるいは 1.8 V といった低電圧化が要請されているが、飽和電子数をいかに多くするかというのが常に課題となっている。

なお、これらの課題（転送ゲートの低電圧化、同じ電圧で転送できる電子数を増加させること）は、PD が埋め込み型でない場合でも、あるいは PD でなくフ

フォトゲートを採用した場合でも、電圧を入力してポテンシャルを制御する転送手段がある限り同様に存在するものである。

【0011】

次に、特許文献1に開示される方法では、以下のような問題がある。

まず、転送ゲートの電圧を蓄積時間中に変化させる場合は、転送ゲートに高い電圧を入れると、光量が大いときにPDとFDが導通してしまうので動作範囲に制約がある。

また、リセットゲートの電圧を蓄積時間中に変化させる場合は、FDのようなコンタクトをもつノードに光電子を貯めることになるので、埋め込みフォトダイオードに貯める場合と違って暗電流が大きくなる。

【0012】

そこで本発明の目的は、光電変換素子で生成した信号電荷を読み出す際の低電圧化を達成でき、また、ダイナミックレンジの拡大を図ることが可能な固体撮像素子及びその制御方法を提供することにある。

【0013】

【課題を解決するための手段】

本発明は前記目的を達成するため、半導体基板に形成されたウェル領域に、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷を所定の読み出しタイミングで読み出す読み出し部とを設け、前記読み出し部による信号電荷の読み出し時に、前記ウェル領域に所定の基板バイアス電圧を印加する電圧制御手段を有することを特徴とする。

【0014】

また本発明は、半導体基板に形成されたウェル領域に、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷を所定の読み出しタイミングで読み出す読み出し部とを設け、前記光電変換素子による信号電荷の蓄積期間中に、前記ウェル領域に印加した基板バイアス電圧を変化させる電圧制御手段を有することを特徴とする。

【0015】

また本発明は、半導体基板に形成されたウェル領域に、受光量に応じた信号電

荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷を所定の読み出しタイミングで読み出す読み出し部とを設けた固体撮像素子の駆動方法であって、前記読み出し部による信号電荷の読み出し時に、前記ウェル領域に所定の基板バイアス電圧を印加することを特徴とする。

【0016】

また本発明は、半導体基板に形成されたウェル領域に、受光量に応じた信号電荷を生成する光電変換素子と、前記光電変換素子によって生成された信号電荷を所定の読み出しタイミングで読み出す読み出し部とを設けた固体撮像素子の駆動方法であって、前記光電変換素子による信号電荷の蓄積期間中に、前記ウェル領域に印加した基板バイアス電圧を変化させることを特徴とする。

【0017】

本発明の固体撮像素子及びその駆動方法では、光電変換素子によって生成された信号電荷を読み出し部によって読み出す際に、ウェル領域に所定の基板バイアス電圧を印加することにより、ウェル領域のポテンシャル変動によって光電変換素子と読み出し部のポテンシャルも振れるが、読み出し用の駆動電極の存在によって読み出し部の振れ量は抑制され、光電変換素子の振れ量が大きくなる。

この結果、低い読み出し電圧であっても光電変換素子の信号電荷を読み出し部側に効率的に転送でき、読み出し電圧の低電圧化を達成できる。または、同じ電圧であれば、より多くの電荷の読み出しが可能となり、取り扱い電荷量の増大やダイナミックレンジの拡大を実現できる。

【0018】

また本発明の固体撮像素子及びその駆動方法では、光電変換素子による信号電荷の蓄積期間中に、ウェル領域に印加した基板バイアス電圧を変化させることにより、光電変換素子の飽和電子数を時間経過に伴って小から大に切り換えることにより、暗い領域での感度を落とさずに、明るい領域での飽和を回避することで、ダイナミックレンジを拡大することができる。

【0019】

【発明の実施の形態】

以下、本発明による固体撮像素子及びその製造方法の実施の形態例について説

明する。

本発明の実施の形態例では、P D（光電変換素子）の信号電荷を転送ゲート（信号読み出し部）によってF Dに転送する際の低電圧化を図るために、画素の下層に設けられるPウェル領域に対し、電荷転送時に同期して基板バイアス電圧を印加するようにした。これによって読み出し電圧を下げる事が可能となる。

また、P Dの電荷蓄積期間中にPウェル領域に印加している基板バイアス電圧を変化させることにより、ダイナミックレンジの拡大を図るようにした。

なお、これらの原理については、具体的な実施例を用いて後述する。

【0020】

図1は、本発明の実施の形態例による固体撮像素子の全体構成例を示すブロック図であり、CMOS型イメージセンサの例を示している。

また、図2は、図1に示す固体撮像素子の1つの画素回路の構成例を示す回路図である。

図1に示すように、本例の固体撮像素子は、半導体素子基板100上に画素部（撮像領域部）110、定電流部120、列信号処理部（カラム部）130、垂直（V）選択駆動手段140、水平（H）選択手段150、水平信号線160、出力処理部170、タイミングジェネレータ（TG）180等を設けたものである。

画素部110は、多数の画素を2次元マトリクス状に配置したものであり、各画素に図2に示すような画素回路が設けられている。この画素部110からの各画素の信号は、各画素列毎に垂直信号線（図1では省略）を通して列信号処理部130に出力される。

定電流部120には各画素にバイアス電流を供給するための定電流源（図1では省略）が各画素列毎に配置されている。

V選択駆動手段140は、画素部110の各画素を1行ずつ選択し、各画素のシャッタ動作や読み出し動作を駆動制御するものである。

【0021】

列信号処理部130は、垂直信号線を通して得られる各画素の信号を1行分ずつ受け取り、列ごとに所定の信号処理を行い、その信号を一時保持する。例えば

CDS（画素トランジスタの閾値のばらつきに起因する固定パターンノイズを除去する）処理、AGC（オートゲインコントロール）処理、A/D変換処理等を適宜行うものとする。

H選択手段150は、列信号処理部130の信号を1つずつ選択し、水平信号線160に導く。

出力処理部170は、水平信号線160からの信号に所定の処理を行い、外部に出力するものであり、例えばゲインコントロール回路や色処理回路を有している。なお、列信号処理部130でA/D変換を行う代わりに、出力処理部170で行うようにしてもよい。

タイミングジェネレータ180は、基準クロックに基づいて各部の動作に必要な各種のパルス信号等を供給する。

【0022】

次に、図2を用いて本例の画素回路について説明する。

図示の構成は、各画素にフォトダイオード（PD）110と転送、増幅、選択、リセットの4つの画素トランジスタ（Tr）111、112、113、114を設けたものである。

PD119は、光電変換によって生成された電子を蓄積するものであり、転送Tr111をONすることにより、PD119の電子をフローティングディフュージョン（FD）115に転送する。FD115には寄生容量があるので、ここに光電子が溜められる。

増幅Tr112は、ゲートがFD115とつながっており、FD115の電位変動を電気信号に変換する。選択Tr113は信号を読み出す画素を行単位で選択するものであり、この選択Tr113がONしたときには、増幅Tr112と画素の外で垂直信号線116につながっている定電流源117とがソースフォロアを組むので、FD115の電圧に連動する電圧が垂直信号線に出力される。

リセットTr114は、FD115の電位をV_{dd}にリセットする。V_{dd}配線は全画素共通となっている。

【0023】

また、転送Tr111、選択Tr113、リセットTr114の配線111A

、113A、114Aは、横方向（水平＝行方向）に延在し、同一行に含まれる画素を同時に駆動するようになっている。

また、各画素のトランジスタはNMOSであり、これらはPウェル領域中に形成されている。そして、このPウェル領域へのコンタクト118を取る配線118Aが横方向（水平＝行方向）に延在している。

なお、このPウェル領域へのコンタクト118を取る配線118Aは、設けた方がより有効であるが、高速動作が要求されない場合などには、これが無くとも、Pウェル領域自体の電気伝導度を利用して画素部の周囲でのみコンタクトを取って駆動することもできる（なお、この場合の画素回路は従来例で示した図10と同様になる）。

【0024】

次に、このような本実施の形態例による固体撮像素子において、画素下のPウェル領域に対し、電荷転送時に同期した基板バイアスを印加することにより、PDからの読み出し電圧を下げる事が可能となる原理について説明する。

図3は、上述のような固体撮像素子におけるPD～転送ゲート～FD～リセットゲート～電源配線（Vdd）にわたる領域のポテンシャルの構造を示す説明図であり、図3（a）は基板バイアスをかけない場合（従来の転送状態）のポテンシャル、図3（b）は基板バイアスをかけた場合（本実施の形態例）のポテンシャルを示している。なお、下方向が電位の正の方向である。

【0025】

図3（a）に示す従来の転送状態では、転送ゲート（転送Tr）111をONしてPD119の光電子をFD115に転送しているが、転送ゲート111の電圧が足りず、PD119に転送残しが生じる。

これに対して図3（b）に示す本例では、転送ゲート111をONするとともに、Pウェル領域に負の基板バイアス（絶対値VB）をかけたものである。このとき、PD119は、Pウェル領域との容量結合が支配的であるので、PD119のポテンシャルは基板バイアスVBに近い値だけ負に振れる。

一方、転送ゲート111の下層のチャンネルは、転送ゲート111と強く容量結合しているので、Pウェル領域との結合の割合は低く、基板バイアスVBよりも

少ししか負に振れない。

【0026】

また、FD115は、転送ゲート111及びリセットゲート（リセットTr）114との容量結合や、増幅ゲート（増幅Tr）112を介した容量結合もあるので、Pウェル領域との結合の割合は低く、やはり基板バイアスVBよりも少ししか振れない。

リセットゲート114の下層のチャネルは、転送ゲート111の下層のチャネルと同様である。電源電圧Vddのように固定電圧がかかっているノードは、ポテンシャルは動かない。

【0027】

よって、図3（b）のようなポテンシャル関係になり、PD119の光電子がFD115に転送できるようになる。この効果により、転送ゲート111の電圧が低くてもPD119の光電子を確実に転送できるようになる。または、同じ転送ゲート電圧でも、より深いポテンシャルまでPD119の光電子を読み出せるので、取り扱い電荷量が増え、ダイナミックレンジが拡大する。

また、後述する第3実施例のように、Pウェル領域のバイアス電圧を蓄積期間に変化させることにより、光量の大きい部分の感度を落とす手法でダイナミックレンジを拡大することも可能となる。

【0028】

以下、本実施の形態例をさらに具体化したいくつかの実施例について詳細に説明する。

（第1実施例）

まず、第1実施例として、上述した画素部下のPウェル領域に基板バイアスを印加する具体例について説明する。

図4は、この第1実施例の画素部下のPウェル領域の構成を示す平面図であり、斜線部分がPウェル領域200を示し、このPウェル領域200の内部に介在する空白部分がPウェルの分離領域210を示している。また、Pウェル領域200の正方形で区切った領域が1つの画素110Aを示している。

すなわち、本例では、画素部110の各画素行毎にPウェル領域200を電気

的に分離して設けた例である。

【0 0 2 9】

図 5 は、この第 1 実施例における画素回路の各駆動パルスを示すタイミングチャートである。

まず、このタイミングチャートにおける動作の前提として、V 選択駆動手段 1 4 0 が画素信号を出力する行を選択し、その行に図 5 に示すような各パルスを供給するものとする。

また、2 つのタイミングパルス S H P、S H D は、各画素回路ではなく列信号処理部 1 3 0 に入るパルスであり、画素の出力をサンプルホールドするためのパルスである。

なお、非選択行では、転送 T r 1 1 1、リセット T r 1 1 4、選択 T r 1 1 3 が O F F し、P ウェル領域 2 0 0 が、0 V で保持されているものとする。

【0 0 3 0】

以下、選択行の動作を図 5 に沿って説明する。

(1) まず、選択ゲート 1 1 3 を O N する。これにより、その行の信号が垂直信号線 1 1 6 に出力されるようになる。

(2) 次に、リセットゲート 1 1 4 にリセットパルスを入れて F D 1 1 5 をリセットする。

(3) 次に、サンプルホールドパルス S H P で、そのときの垂直信号線 1 1 6 の電圧 (リセットレベル) を列信号処理部 1 3 0 に取り込む。

(4) 次に、P ウェル領域 2 0 0 に負の基板バイアスをかけ、転送ゲート 1 1 1 を O N した後、P ウェル領域 2 0 0 の電位を 0 V に戻し、転送ゲート 1 1 1 を O F F する。これによって F D 1 1 5 に光電子が移される。

(5) 次に、サンプルホールドパルス S H D で、そのときの垂直信号線 1 1 6 の電圧 (信号レベル) を列信号処理部 1 3 0 に取り込む。

(6) 次に、選択ゲート 1 1 3 を O F F し、その行を垂直信号線 1 1 6 から切り離す。

【0 0 3 1】

この後、列信号処理部 1 3 0 では、上述した C D S 回路によってリセットレベ

ルと信号レベルとの差をとり、その他の適切な処理を行い、水平信号線 160 を通して順に出力する。

以上のように本実施例では、上記(4)において、電荷転送時に基板バイアスをかけることにより、低電圧でも確実に転送することができる。

V 選択駆動手段 140 は、列信号処理回路 130 が水平信号線 160 に信号を出力し終わってから、次の行を選択し、同様に駆動する。これを繰り返すことで、全画面の信号を出力する。

なお、本実施例において、列信号処理回路 130 は SHP、SHD のパルスで信号を取り込むものとしたが、同じタイミングで信号を取り込めば、これらのパルスを使わない方式の回路であっても良い。これは以下の各実施例でも同様である。

【0032】

(第2実施例)

次に、第2実施例として、上述した画素部下の P ウェル領域に行単位でなく画素部全体として基板バイアスを印加する例について説明する。

図6は、この第2実施例の画素部下の P ウェル領域の構成を示す平面図であり、斜線部分が P ウェル領域 220 を示している。すなわち、本例では、画素部 110 の全体に電氣的に導通した P ウェル領域 220 を設けた例である。

【0033】

図7は、この第2実施例における画素回路の各駆動パルスを示すタイミングチャートである。

まず、全行の画素を同時に動作させ、FD115のリセットに次いで電荷の転送を行う。これは、まずリセットパルスを入れてFD115をリセットする。その後、転送パルスを入れて、PD119の光電子をFD115に転送する。

この転送パルスのタイミングでは、上記第1実施例と同様に、P ウェル領域 220 の電位を負に振って転送を助ける。これにより、全画素のFD115にはリセット時の電圧から光電子分シフトした電圧が保持される。

【0034】

次に、各画素の信号を1行ずつ読み出す。ここでは読出し行のみ動作する。

読出し行では、まず選択ゲート 113 を ON し、その状態での垂直信号線 116 の電圧（信号レベル）を SHD で列信号処理回路 130 に取り込む。

次にリセットパルスを入れ、垂直信号線 116 の電圧（リセットレベル）を SHP で列信号処理回路 130 に取り込む。それから選択ゲート 113 を OFF する。

列信号処理回路 130 では、リセットレベルと信号レベルとの差をとり、適切な処理を行い、選択ゲート 113 を OFF した後に、水平信号線 140 を通して順に出力する。

その後、読出し行が次の行に移り、同様の動作を繰り返し実行する。

【0035】

そして、このように 1 行ずつ全行の信号を読出した後、1 フレーム期間の終わりまでダミー信号の期間が続く。この間に感光時間を決めるための PD のリセット動作を入れる。この動作は、全行の画素が同時に動作する。

なお、この動作は先ほどの全行 FD 同時リセット・転送と同じ動作で良く、やはりその転送時に P ウェル領域 220 に負の電位を入れて転送を助ける。この時点から、PD に新たな光電子が蓄積され始め、最初から同様の動作を行う。

【0036】

なお、以上の第 1、第 2 実施例では、光電変換素子としてフォトダイオードを用いているが、フォトダイオードが埋め込み型であるかどうかは、これらの例では関係なく、あるいはフォトゲートを用いても、基板バイアスで転送が容易になるという同じ効果が得られるものである。

【0037】

（第 3 実施例）

次に、第 3 実施例として、上述した画素部下の P ウェル領域のバイアス電圧を電荷蓄積期間の途中で動かすことによって、ダイナミックレンジを広くする例について説明する。

図 8 は、P ウェル領域のバイアス電圧を電荷蓄積期間の途中で変化させる場合の動作例を示すタイミングチャートであり、縦軸は P ウェル電圧、横軸は時間経過を示している。また、図 9 は、図 8 に示す動作に伴う PD の受光光量と蓄積電

子数の関係を示す説明図である。

【0038】

図8に示すように、PDに光電子の蓄積を開始したときに、例えば-1Vにしておく。そして、蓄積時間の途中で、これを0Vにすると、図9に示すように、光量の少ないところではPDの蓄積電子数は光量に敏感で、光量の大きいところでは鈍感になる。

その理由は以下の通りである。すなわち、Pウェル領域が-1Vの時には、PDの飽和が少なくなっており、ある電子数でPDが飽和して、それ以上はFDに流出してしまう。

【0039】

ここでPウェル領域を0Vにすると、PDの飽和が増えるので、さらに光電子を蓄積することができる。

光量が少ないときには、PDを飽和させることなく全蓄積期間の光電子が収集されるが、光量が大きい時には、Pウェル領域が-1Vの期間に飽和以上の電子が捨てられるので、その分感度が低下することになる。

これにより、図9に示すように、あるところで折れ曲がり点aを持った感度曲線が得られ、暗いところの感度を犠牲にせずに、より大きな光量まで検出することができる。すなわち、ダイナミックレンジが広がる。

【0040】

なお、図8に示す例では、Pウェル電圧を-1Vと0Vの2値で駆動したが、-1V→0.5V→0Vのように細かく刻みながら変化させると、感度曲線の折れ曲がり点を増やすことができ、電圧の変化時間を適当に設定することと合わせて、いろんな感度曲線を実現することができる。

また、Pウェル電圧を連続的に変化させると、図9のような折れ曲がりでなく、曲線状の感度曲線を得ることができる。

このような方法を用いることにより、上述した特許文献1に開示される転送ゲートの電圧を変化させる場合の動作範囲に制約が有るという問題も、リセットゲートの電圧を変化させる場合の暗電流が大きいという問題も解決することができる。

【0041】

なお、第3実施例の方法は、上述した第1、第2実施例とは独立のものである。つまり、転送時に基板バイアスをかけることは独立のものである。もちろん、第1、第2実施例の構成と共に実施することもできる。

また、ここでは光電変換素子としてフォトダイオードを用いているが、フォトゲートを用いても基板バイアスで飽和を減らし、同様の効果を得られる。

また、第3実施例ではPDと転送ゲートとFDとを有する画素回路の例としているが、例えば転送ゲートとFDが無く、フォトダイオードから直接増幅ゲートに接続している画素回路においても、転送ゲートではなくリセットゲートがPDの飽和を決め、基板バイアスでPDの飽和が減るので、効果は全く同様である。

【0042】

なお、以上の実施の形態例では、電子をキャリアとし、NMOSの画素トランジスタを基本にしたものであったが、ホールをキャリアとし、PMOSを基本にしたものができることも自明である。また、これに応じて電圧の極性等は適宜に変わることになる。

また、画素トランジスタの構成としては、上述した例に限定されず、種々採用が可能である。

【0043】

さらに、本発明は、CMOS型固体撮像素子に限らず、CCD型固体撮像素子にも適用することが可能である。

すなわち、CCD型固体撮像素子は、例えば2次元配列の各画素列毎に複数のCCD垂直転送レジスタを設けるとともに、各CCD垂直転送レジスタの端部にCCD水平転送レジスタを設け、各画素で蓄積した信号電荷を各転送レジスタによって順次転送していき、CCD水平転送レジスタの最終端に設けたフローティングデフュージョンで信号電荷を電気信号に変換して出力するものであり、このようなCCD型固体撮像素子のウェル領域に上述した基板バイアスを印加することにより、各画素のフォトダイオードから読み出しゲートを介してCCD垂直転送レジスタの各電荷蓄積部に読み出す際のゲート電圧を低電圧化することが可能となる。

【 0 0 4 4 】**【発明の効果】**

以上説明したように本発明の固体撮像素子及びその駆動方法によれば、光電変換素子によって生成された信号電荷を読み出し部によって読み出す際に、ウェル領域に所定の基板バイアス電圧を印加することにより、ウェル領域のポテンシャル変動によって光電変換素子と読み出し部のポテンシャルも振れるが、読み出し用の駆動電極の存在によって読み出し部の振れ量は抑制され、光電変換素子の振れ量が大きくなることにより、低い読み出し電圧であっても光電変換素子の信号電荷を読み出し部側に効率的に転送でき、読み出し電圧の低電圧化を達成できる。または、同じ電圧であれば、より多くの電荷の読み出しが可能となり、取り扱い電荷量の増大やダイナミックレンジの拡大を実現できる。

【 0 0 4 5 】

また本発明の固体撮像素子及びその駆動方法では、光電変換素子による信号電荷の蓄積期間中に、ウェル領域に印加した基板バイアス電圧を変化させることにより、光電変換素子の飽和電子数を時間経過に伴って小から大に切り換えることにより、暗い領域での感度を落とさずに、明るい領域での飽和を回避することで、ダイナミックレンジを拡大することができる。

【図面の簡単な説明】**【図 1】**

本発明の実施の形態例による固体撮像素子の全体構成例を示すブロック図である。

【図 2】

図 1 に示す固体撮像素子における画素回路の構成例を示す回路図である。

【図 3】

図 1 に示す固体撮像素子における P D ～転送ゲート～ F D ～リセットゲート～電源配線（ V d d ）にわたる領域のポテンシャルの構造を従来例と対比して示す説明図である。

【図 4】

図 1 に示す固体撮像素子の第 1 実施例による画素部下の P ウェル領域の構成を

示す平面図である。

【図 5】

図 4 に示す第 1 実施例における画素回路の各駆動パルスを示すタイミングチャートである。

【図 6】

図 1 に示す固体撮像素子の第 2 実施例による画素部下の P ウェル領域の構成を示す平面図である。

【図 7】

図 6 に示す第 2 実施例における画素回路の各駆動パルスを示すタイミングチャートである。

【図 8】

図 1 に示す固体撮像素子の第 3 実施例による P ウェル領域のバイアス電圧変化の動作例を示すタイミングチャートである。

【図 9】

図 8 に示す動作に伴う PD の受光光量と蓄積電子数の関係を示す説明図である。

【図 10】

従来の固体撮像素子における画素回路の一例を示す回路図である。

【図 11】

図 10 に示す固体撮像素子のフォトダイオード及びその周辺部の構造を示す断面図である。

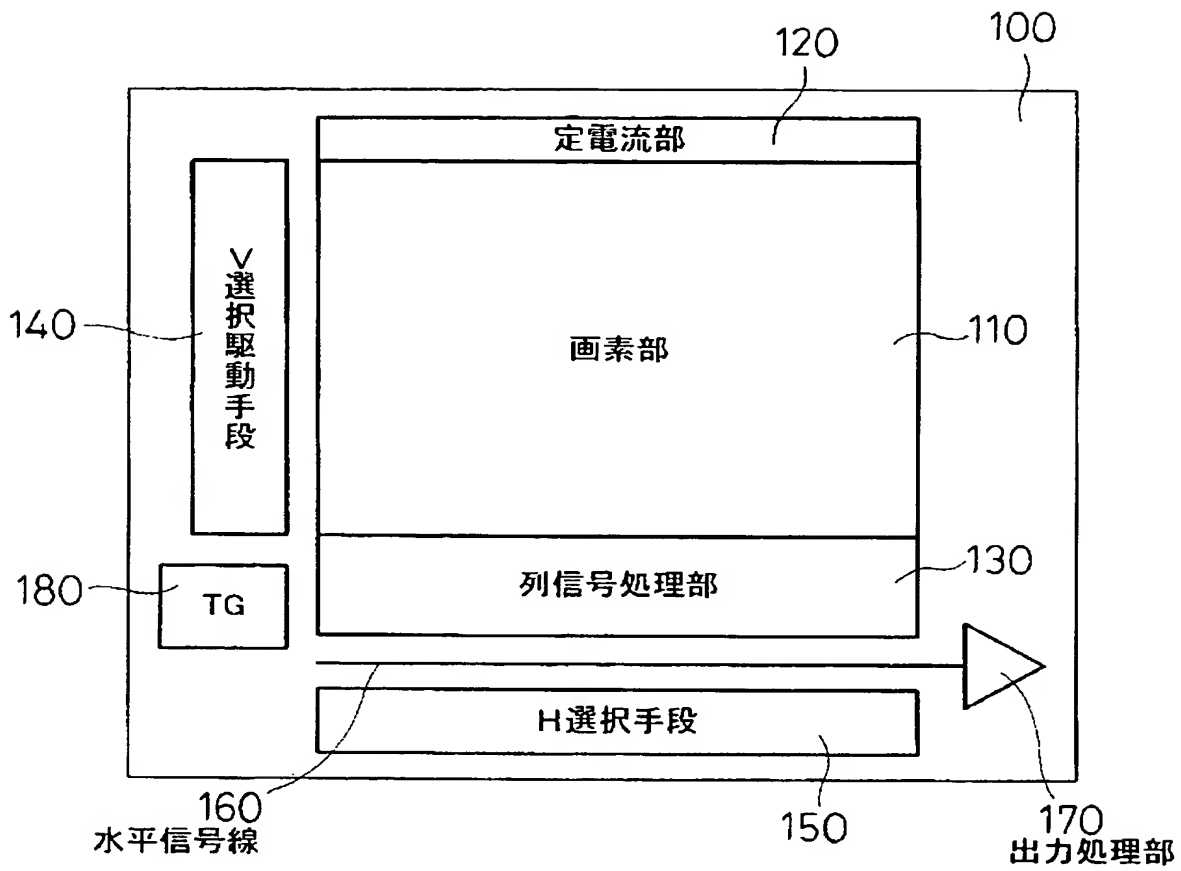
【符号の説明】

100……半導体素子基板、110……画素部、111……転送 Tr、112……増幅 Tr、113……選択 Tr、114……リセット Tr、119……フォトダイオード (PD)、120……定電流部、130……列信号処理部、140……V 選択駆動手段、150……H 選択手段、160……水平信号線、170……出力処理部、180……タイミングジェネレータ。

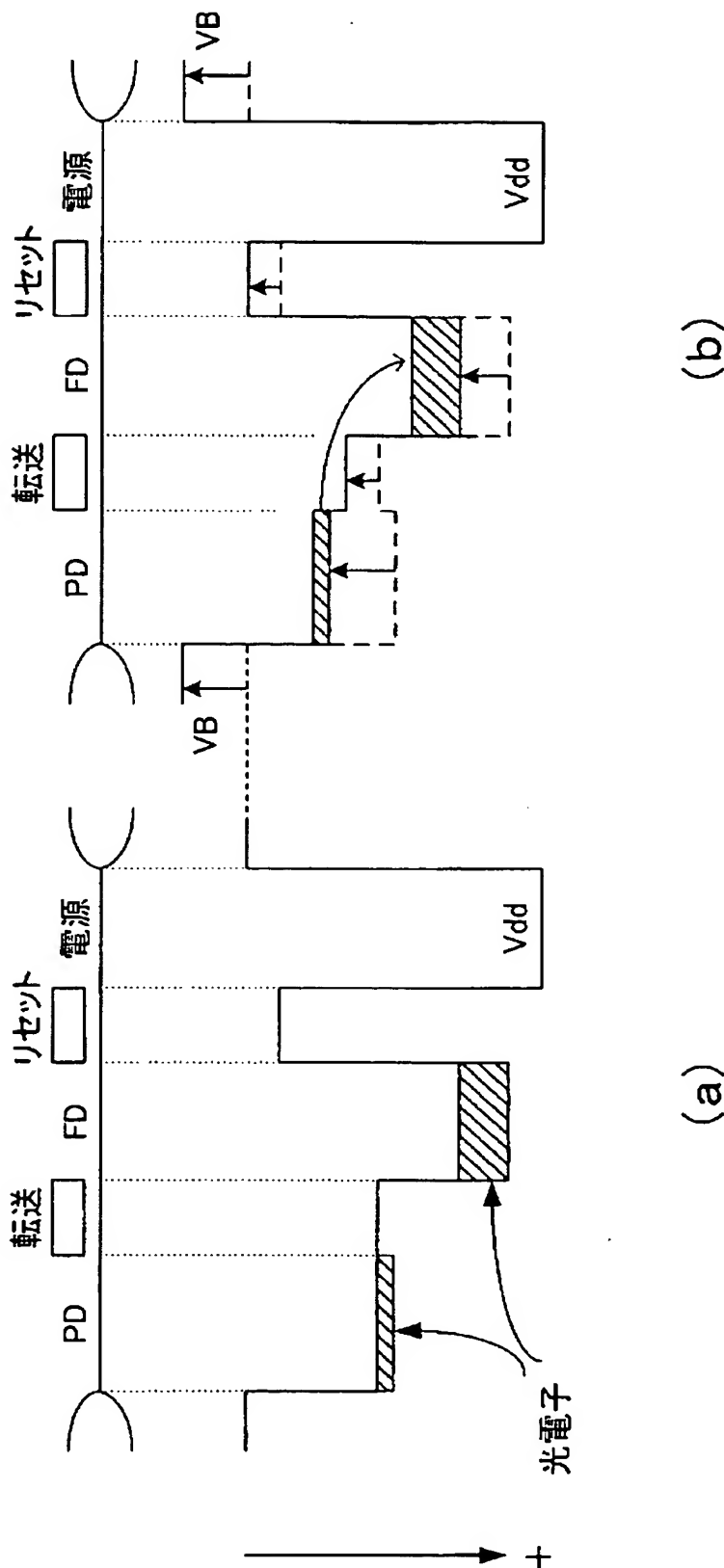
【書類名】

図面

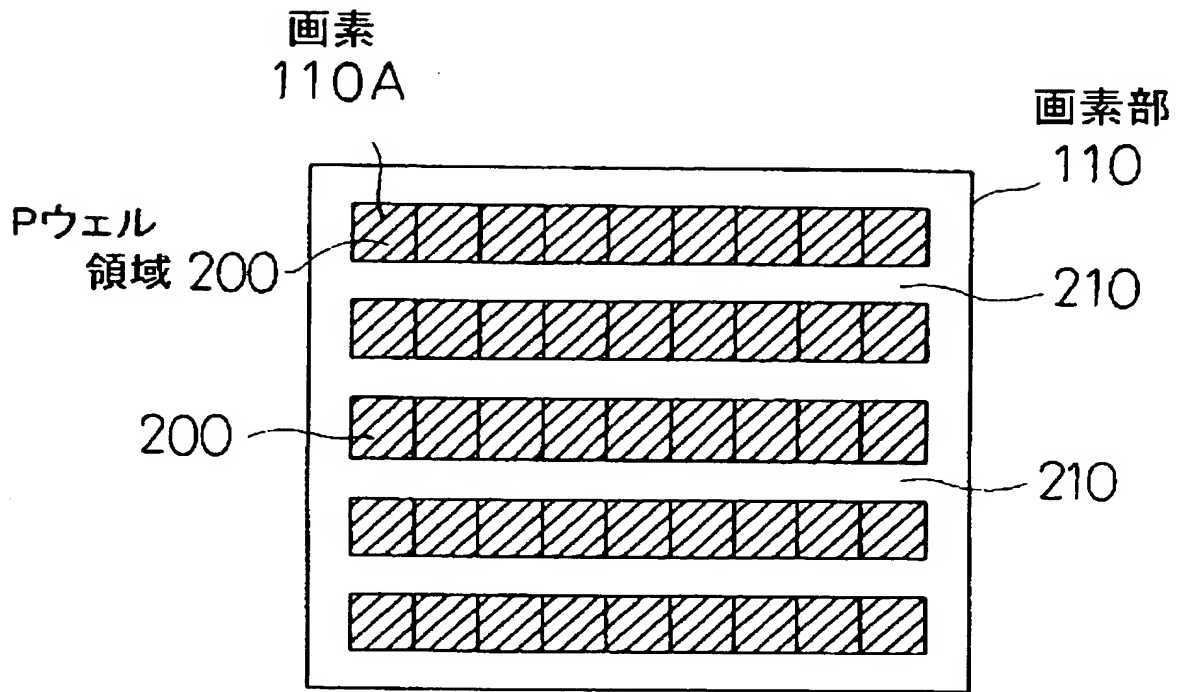
【図 1】



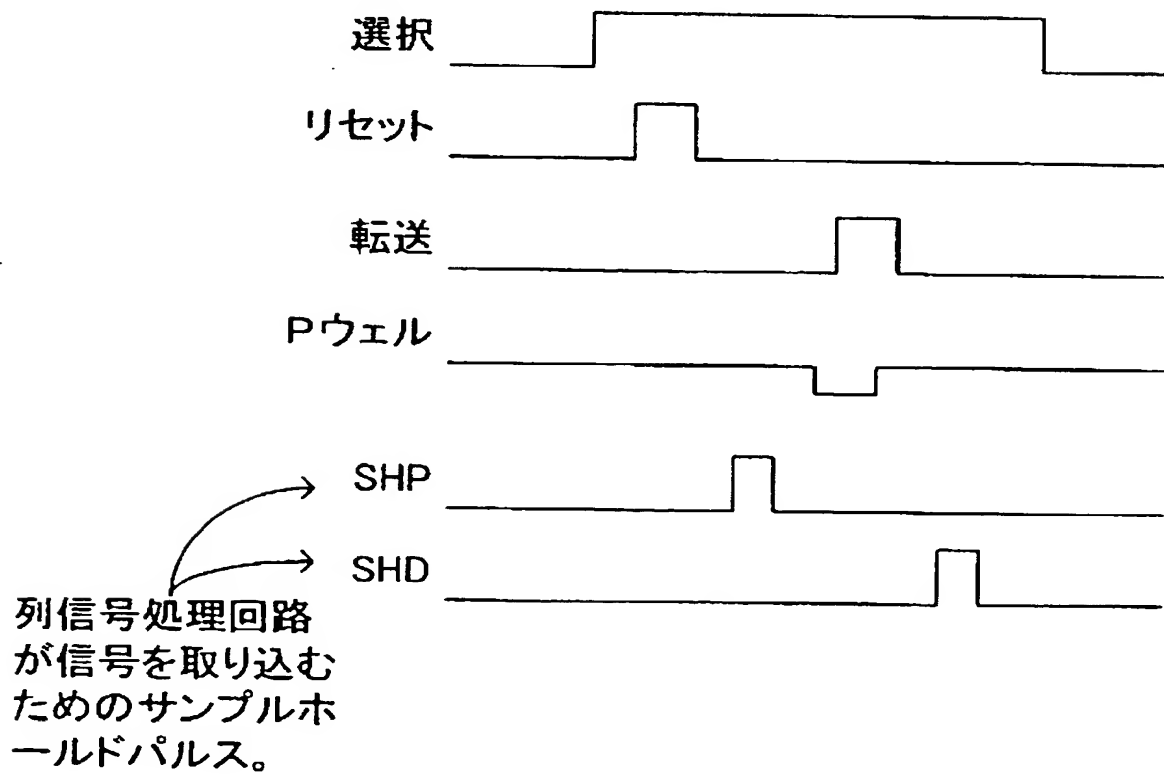
【図 3】



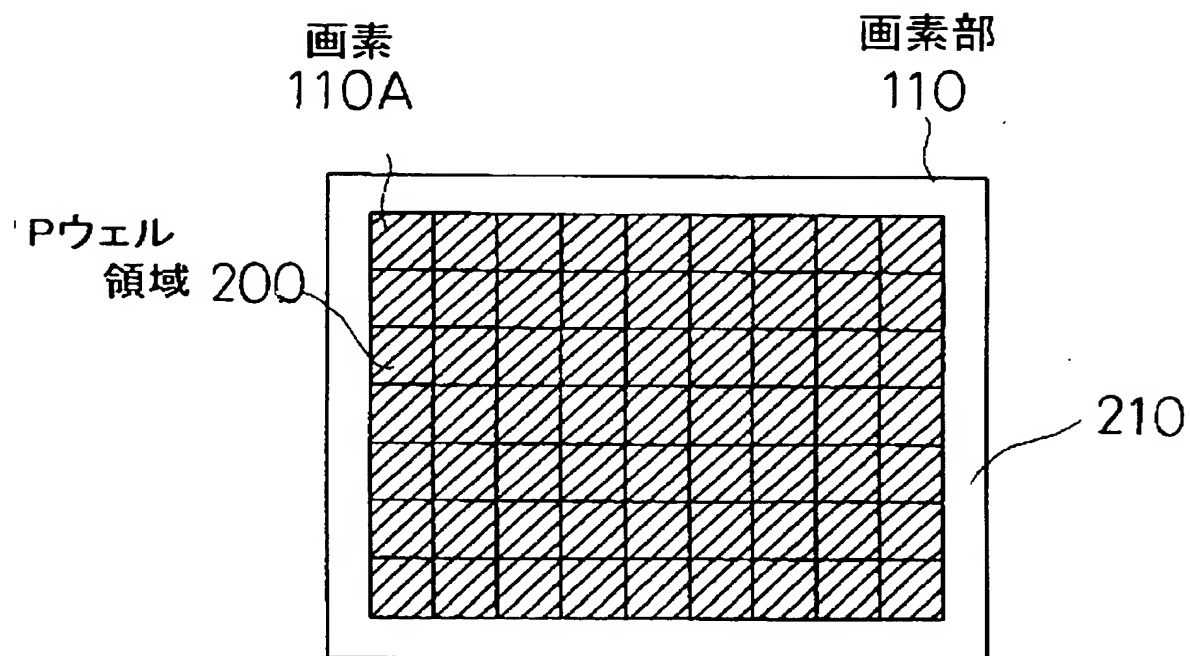
【図 4】



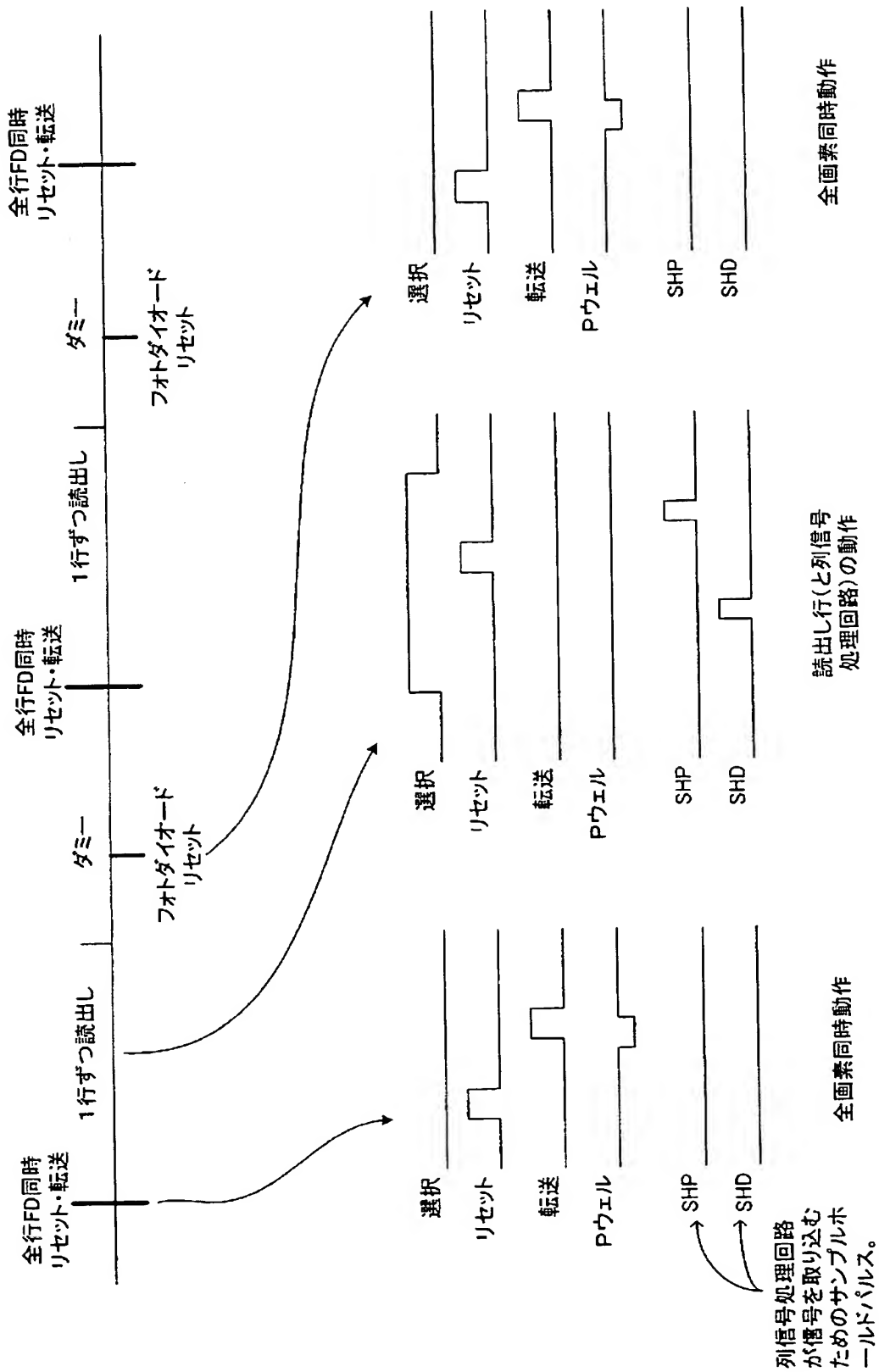
【図 5】



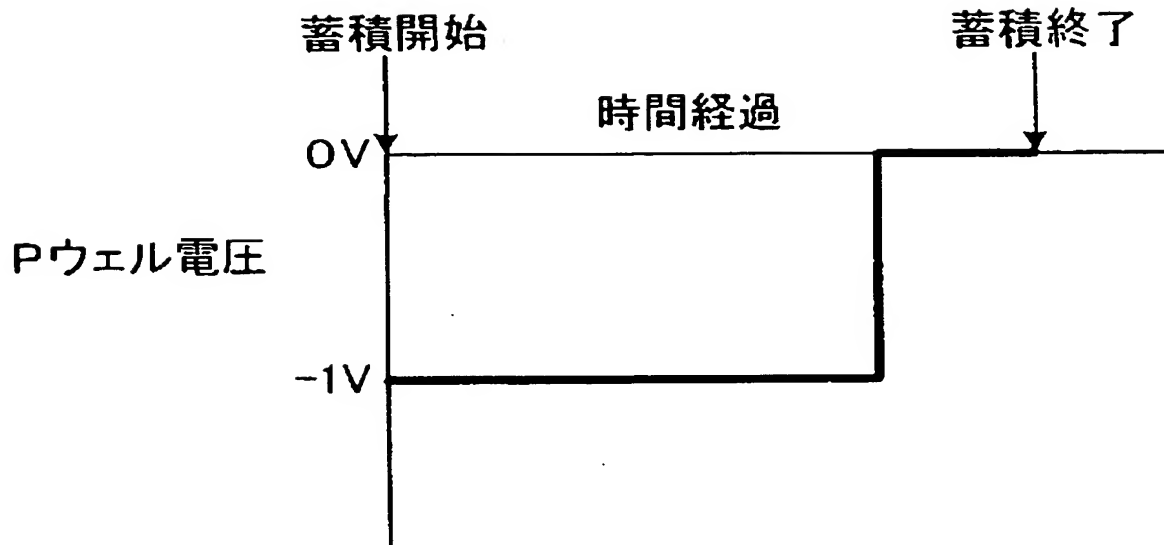
【図 6】



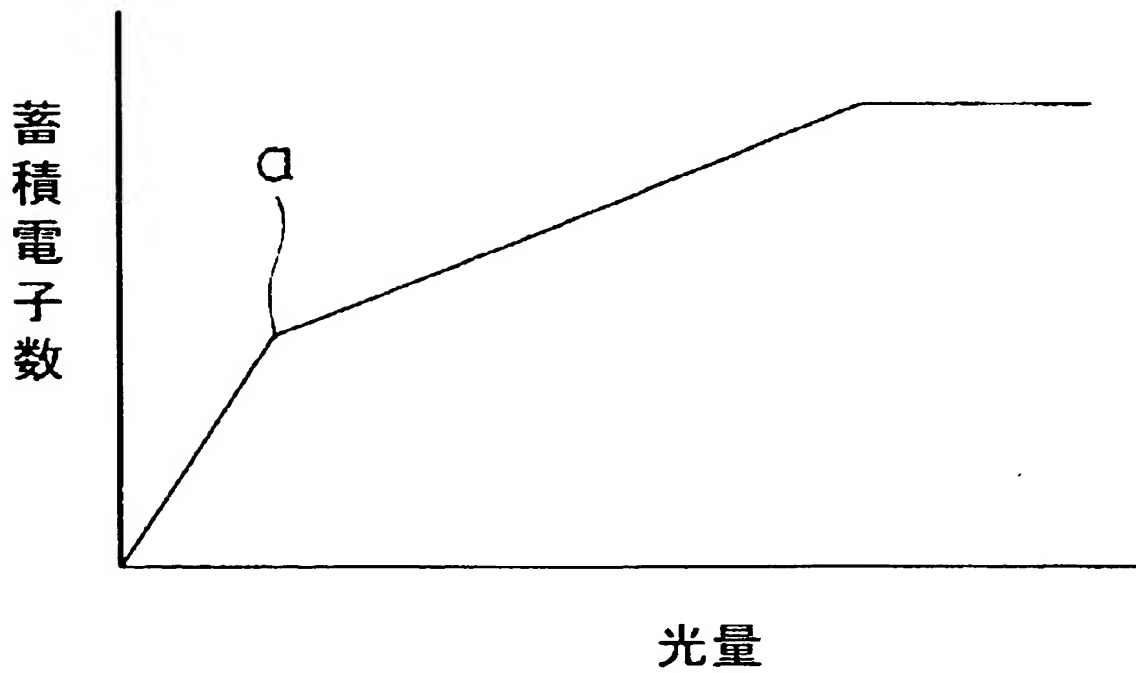
【図 7】



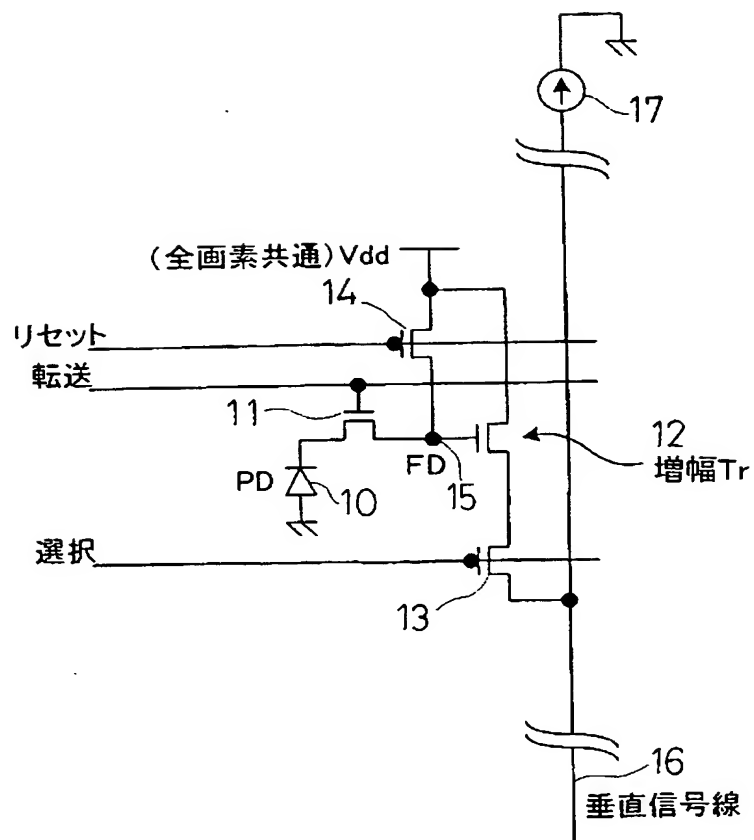
【図 8】



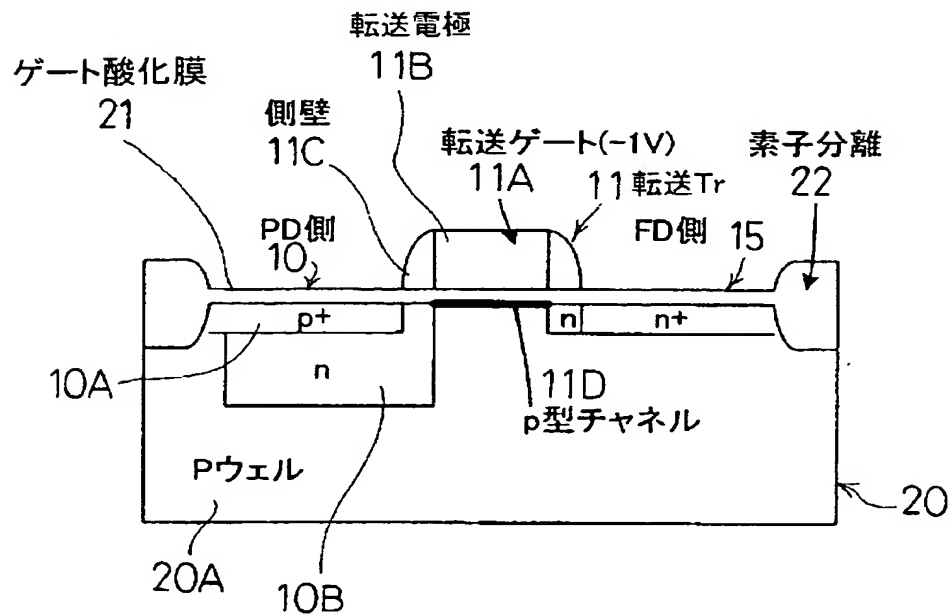
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 CMOS イメージセンサにおける読み出し電圧の低電圧化、ダイナミックレンジの拡大を図る。

【解決手段】 半導体基板にPウェル領域200が形成され、このPウェル領域200に埋め込みPD119、転送Tr111、増幅Tr112、選択Tr113、リセットTr114、FD115等が設けられ、転送Tr111の動作によってPD119の信号電荷がFD115に転送される。そして、Pウェル領域200には、転送Tr111の電荷転送動作に合わせて負電圧（基板バイアス電圧）を印加することにより、PD119と転送ゲート部とのポテンシャルバランスを制御し、電荷転送の低電圧化を図る。また、PD119の電荷蓄積中に基板バイアス電圧を変化させることにより、感度曲線の角度を修正し、ダイナミックレンジの拡大を図る。

【選択図】 図1

特願 2 0 0 2 - 2 9 1 9 6 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社